



Borax 参考手册

Borax 开发板

版本 3.0

2016/03/15

© Mpression – Solutions by Macnica Group

声明

服务修订：

骏龙科技有限公司保留在不预先通知用户的情况下随时对此手册和产品进行修改和改进的权力。

有限责任：

本手册的内容不对其准确性、可靠性或内容做出任何类型的、明确或默许的保证，其中包括但不限于对适销性和对具体用途的实用性的保证。骏龙科技有限公司不对您的使用或不能使用本产品而发生的任何损害负赔偿责任，包括（但不限于）直接的，间接的，附加的个人损害或商业损失。如果您在使用过程中发现本产品的实际情况与本手册有不一致之处，或您想得到最新的信息，或您有任何问题或想法，请垂询骏龙科技有限公司。

版权信息：

任何组织和个人对本文档修改，复制和使用，需要得到骏龙科技有限公司的授权。

目录




1. 安全使用须知	5
1.1 图例说明	5
1.2 开发者信息	5
1.3 问题咨询	5
2. Borax 核心板	6
2.1 Borax 核心板介绍	6
2.2 Borax 核心板组件	6
2.3 HPS 存储器件	7
2.3.1 QSPI Flash:	7
2.3.2 NAND Flash:	8
2.3.3 DDR3	8
2.4 HPS 外设特性	8
2.4.1 以太网	8
2.4.2 USB OTG	9
2.4.3 实时时钟 (RTC)	9
2.4.4 UART	9
2.5 HPS 侧的 Reset, Clock, BSEL, CSEL	9
2.5.1 Reset	9
2.5.2 Clock	10
2.5.3 BSEL	10
2.5.4 CSEL	10
2.6 I/O 特性	11
2.6.1 HPS I/O	11
2.6.2 FPGA侧 I/O	11
2.6.3 FPGA CLOCK	15
2.6.4 I/O电源系统	15
2.6.5 VREF 引脚	15
2.7 FPGA Configuration	16
2.7.1 JTAG链路	16
2.7.2 FPP模式	16
2.7.3 AS模式	16
2.8 系统监控	17

3. Borax 底板	18
Borax 底板如下图所示.....	18
3.2 安装 Borax 核心板卡	18
3.3 USB-Blaster II 接口选择	19
3.4 UART 接口	19
3.5 USB OTG	19
3.6 以太网	19
3.7 CAN 接口	21
3.8 SD Card 接口.....	21
3.9 LCD （支持电容触摸屏）	21
3.10 LED, DIP Switch, Push Button.....	22
4. 文档修订历史	23

1. 安全使用须知

请用户确定遵循本手册指导，以保证防止伤害到使用者或损坏产品。

1.1 图例说明

 危险	指示了一个即将到来的危险状态，如果违反将导致严重损伤或财产损失
 警告	指示了一个潜在的危险状态，如果违反将导致严重损伤或财产损失
 小心	指示了一个潜在的危险状态，如果违反可能导致轻微的损伤或财产损失

1.2 开发者信息

本产品开发者为骏龙科技有限公司， 公司网站：<http://www.cytech.com>

1.3 问题咨询

在产品使用过程中，如您有任何问题，请联络骏龙科技有限公司各地办事处，联系方式：

香港总公司	电话：852-2375-8866 地址：香港九龙观塘巧明街 100 号 友邦九龙大厦 40 楼 4001-03 室
深圳办事处	电话：0755-26935811 地址：深圳市华侨城汉唐大厦 25 层
北京办事处	电话：010-82607990 地址：北京市朝阳区太阳宫中路 12A 号太阳宫大厦 908 室
上海办事处	电话：021-64401373 地址：上海市龙漕路 299 号天华信息科技园 3 号楼 B 栋 9 楼
南京办事处	电话：025-84810877 地址：南京市黄埔路 2 号黄埔大厦 10D1 座
杭州办事处	电话：0571-87552869 地址：杭州市延安南路 9 号吴山名楼 6010 室
广州办事处	电话：020-38393844 地址：广州市天河区黄埔大道西 76 号富力盈隆广场 301
成都办事处	电话：028-86527116 地址：成都市顺城大街 308 号冠城广场 26 楼 H 座
武汉办事处	电话：027-8756 8665 地址：武汉市洪山区吴家湾邮科院路联合国际大厦 7 层 7001 室
西安办事处	电话：029-65692101 地址：西安市高新区丈八一路绿地 SOHO 同盟 B 座 501 室
厦门办事处	电话：0592-2681022 地址：厦门湖滨北路 57 号 Bingo 城际商务中心 0201

更多城市办事处信息请访问：<http://www.cytech.com/zh/contact-domestic>

2. Borax 核心板

2.1 Borax 核心板介绍

Borax 模块是 Cytech 基于 Altera SOC 芯片开发的一款嵌入式核心板，Borax 核心板板载了 SOC FPGA、Nand Flash、QSPI Flash、DDR3、Ethernet PHY、USB PHY 及电源系统，有利于产品的小型化，方便客户更快的使用 SOC 产品进行设计、开发及验证，节省大量硬件及 BSP 底层软件开发时间。Borax 板卡做了兼容性设计，可根据需求选择相对应的配置，包括单核或双核 ARM 的 SOC，不同容量的 FPGA、DDR3、Nand Flash 及 QSPI Flash。



2.2 Borax 核心板组件

- A. CPU : 可选择单核或双核 ARM Cortex-A9;
- B. FPGA: Altera Cyclone V SOC 产品，支持逻辑 25K LE 到 110K LE 可选;
- C. NAND Flash: 默认配置 1GB SLC，可支持到 4GB;
- D. QSPI Flash: 默认配置 16MB，可支持到 128MB;
- E. DDR3: 默认配置 512MB，可选择 1GB;
- F. 10/100/1000M 以太网 MAC 及 PHY (RGMII 接口);
- G. USB OTG PHY;
- H. 一个实时时钟, HPS 通过 I2C 接口控制;
- I. HPS 侧 IO 扩展: 拥有 9 个 input/output 引脚和 14 个 input only 引脚;
- J. FPGA 侧 IO 扩展: 拥有 123 个 IO(其中包括 6 对 RX_LVDS 引脚)和 12 对独立的 TX_LVDS 引脚;
- K. 板载电压及温度监控电路;

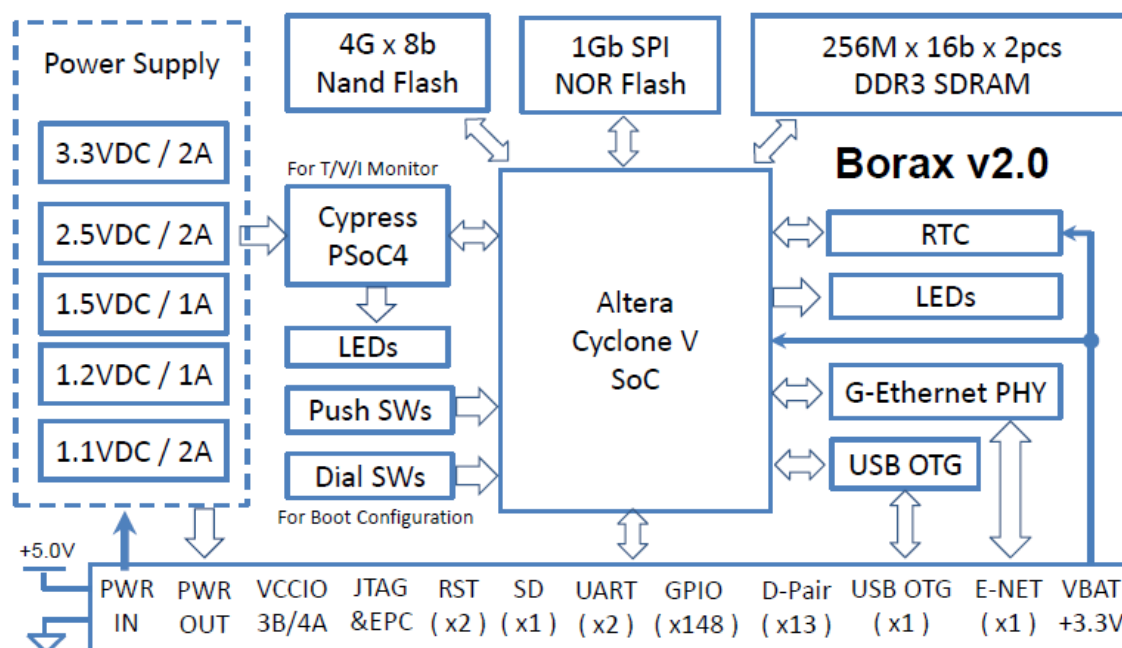


图 2-1 Borax 核心板框图

2.3 HPS 存储器件

2.3.1 QSPI Flash:

Borax 开发板默认从 QSPI Flash 中引导 Preloader 和 U-Boot。目前 Borax 板卡上的 QSPI Flash 容量为 16MB，其每个 Erase Block 大小为 64KB，QSPI Flash 容量可根据需求从 16MB 升级到 128MB。由于 QSPI Flash 是 NOR Flash 的一种，其稳定性高于 Nand Flash，所以 Borax 默认 QSPI Flash 作为启动芯片。保存在其中的 Preloader 和 U-Boot 可以不被擦除，从而保证 Borax 能正常启动。

Borax 开发板 QSPI Flash 地址分配空间如下：

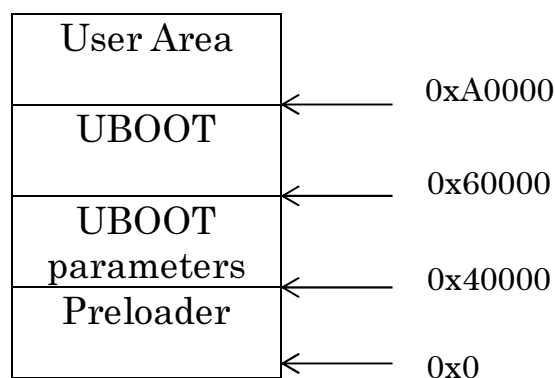


图 2-2 QSPI map

2.3.2 NAND Flash:

Borax 开发板的 Nand Flash 用来存储 DTB、Linux 内核、文件系统、和 FPGA 的配置文件。开发板默认配置 1GB SLC NAND Flash，其 Erase Block 大小为 512KB, Page 大小为 4KB.

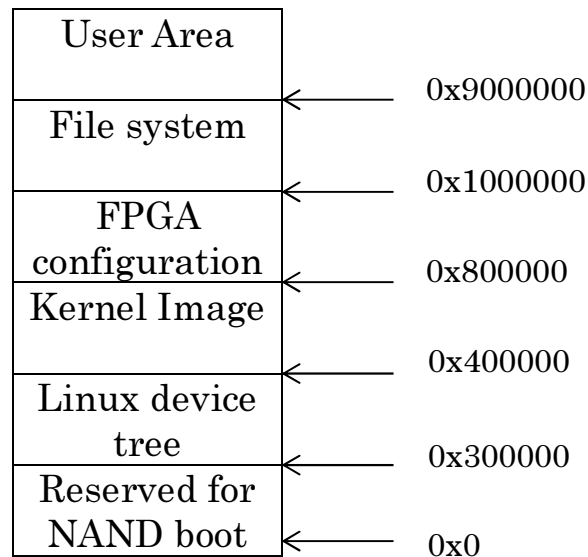


图 2-3 NAND map

2.3.3 DDR3

Borax 核心板的 DRAM 系统由两颗 DDR3 组成，其拥有 32 位宽，可选择容量从 256MB 到 1GB，板子默认使用 512MB，通信带宽可达 800Mbps。

2.4 HPS 外设特性

2.4.1 以太网

Borax 板卡使用 HPS 侧的 EMAC0 为默认的以太网 MAC，PHY 器件使用的是 MICREL KSZ9031RNX，其输出信号对应接插器的引脚如下所示：

U2 KSZ9031RNX	J4 Connector
TX_A+	PIN 50
TX_A-	PIN 48
TX_B+	PIN 54
TX_B-	PIN 52
TX_C+	PIN 49
TX_C-	PIN 47
TX_D+	PIN 53
TX_D-	PIN 51

表 2-1 Ethernet

2.4.2 USB OTG

Borax 板卡使用 HPS 侧的 USB0 做为 USB OTG 外设，PHY 为 USB3300，其输出信号对应接插件的引脚如下所示：

U6 USB3300	J3 Connector
USB_VBUS	PIN 35
USB_DM	PIN 37
USB_DP	PIN 39
USB_ID	PIN 41

表 2-2 USB OTG

2.4.3 实时时钟（RTC）

Borax 板卡使用 HPS 端的 I2C 来驱动 RTC 器件，可以用来保存 Linux 的系统时间。如果需要在关机状态下保存时间信息，请使用底板的电池给 RTC 供电。

U27 RTC	J3 Connector
RTC_BAT	PIN 3

表 2-3 RTC battery

2.4.4 UART

Borax 板卡使用了 HPS 侧的 UART0 和 UART1 作为串口外设，这些引脚直接与接插件相连，如下表所示。通常情况下，不会使用流控制功能，因此 UART0_CTS, UART0_RTS, UART1_CTS, UART0_RTS 引脚可以作为 HPS GPIO 来使用。

HPS UART	P1 FPGA	J4 Connector
UART0_TX	PIN_H17	PIN 1
UART0_RX	PIN_A17	PIN 2
UART0_CTS	PIN_A18	PIN 9
UART0_RTS	PIN_C17	PIN 11
UART1_TX	PIN_B16	PIN 3
UART1_RX	PIN_C19	PIN 4
UART1_CTS	PIN_B18	PIN 10
UART1_RTS	PIN_J17	PIN 12

表 2-4 UART

2.5 HPS 侧的 Reset, Clock, BSEL, CSEL

2.5.1 Reset

HPS 侧有两种类型的外部复位引脚，其冷复位和热复位引脚分别如下：

HPS Reset	P1 FPGA	Connector
HPS_nRST (warm)	PIN_A23	J4 PIN_45
HPS_nPOR (cold)	PIN_H19	J3 PIN_5

表 2-5 HPS Reset pins

2.5.2 Clock

HPS 端采用 25MHZ 晶振与 CLK1 和 CLK2 相连。

2.5.3 BSEL

Borax 板卡 BSEL 默认的配置为 3'b111, 即 HPS 选择从 QSPI Flash 启动。

HPS BSEL	Pull up	Pull down
BSEL 0	R162 (default)	R112
BSEL 1	R163 (default)	R113
BSEL 2	R164 (default)	R131

表 2-6 HPS MSEL

HPS 启动设备的选择可根据拨码开关 J11 来调整, Borax 默认没有焊接。

Dial Switch (J11)	HPS BSEL	Description
1	BSEL 0	ON: BSEL0=0; OFF: BSEL0=1;
2	BSEL 1	ON: BSEL1=0; OFF: BSEL1=1;
3	BSEL 2	ON: BSEL2=0; OFF: BSEL2=1;

表 2-7 Dial switch

注: 如果要设置 Nand Flash 做为启动设备, 可以设置开关 J11.3 为 ON 状态。

2.5.4 CSEL

CSEL 的默认设置是 2'b00。

HPS CSEL	Pull up	Pull down
CSEL 0	R166	R167 (default)
CSEL 1	R170	R172 (default)

表 2-8 HPS CSEL

2.6 I/O 特性

2.6.1 HPS I/O

Borax 板卡 HPS 侧预留了两种 IO，一种只能作为输入，另一种是双向的。对于仅作为输入的引脚，其与 DDR3 接口分布在同一个 Bank，即 Bank 6，只能支持 1.5V 电平标准。

HPS GPI	P1 FPGA	Connectors
HPS_6A6B_GPI0	PIN_M25	J4 PIN_59
HPS_6A6B_GPI1	PIN_K27	J6 PIN_1
HPS_6A6B_GPI2	PIN_R20	J4 PIN_39
HPS_6A6B_GPI3	PIN_R21	J4 PIN_41
HPS_6A6B_GPI4	PIN_R28	J6 PIN_5
HPS_6A6B_GPI5	PIN_P26	J6 PIN_3
HPS_6A6B_GPI6	PIN_T17	J4 PIN_34
HPS_6A6B_GPI7	PIN_T16	J4 PIN_29
HPS_6A6B_GPI8	PIN_Y28	J6 PIN_6
HPS_6A6B_GPI9	PIN_Y26	J6 PIN_4
HPS_6A6B_GPI10	PIN_U15	J4 PIN_27
HPS_6A6B_GPI11	PIN_U16	J4 PIN_31
HPS_6A6B_GPI12	PIN_AC27	J6 PIN_12
HPS_6A6B_GPI13	PIN_V24	J6 PIN_2

表 2-9 HPS GPI

对于双向的 IO 引脚，其分布在 Bank7，支持 3.3V 电平标准。

HPS GPI	P1 FPGA	Connectors
HPS_7A_IO0	PIN_C21	J4 PIN_63
HPS_7A_IO1	PIN_A22	J4 PIN_70
HPS_7A_IO2	PIN_B21	J4 PIN_67
HPS_7A_IO3	PIN_A21	J4 PIN_68
HPS_7A_IO4	PIN_K18	J4 PIN_61
HPS_7A_IO5	PIN_A20	J4 PIN_62
HPS_7A_IO6	PIN_J18	J4 PIN_57
HPS_7A_IO7	PIN_C16	J4 PIN_66
HPS_7A_IO8	PIN_B19	J5 PIN_16

表 2-10 HPS GPIO

2.6.2 FPGA 侧 I/O

Borax 板卡在 Bank 3A, 3B, 4A, 5A 引出了扩展 IO 口。Bank 3A 的供电系统是 VCCIO 3.3V。

P1 FPGA	Connectors
PIN_Y8	J3 PIN_11
PIN_Y4	J3 PIN_17
PIN_W8	J3 PIN_13
PIN_Y5	J3 PIN_15
PIN_T8	J3 PIN_9
PIN_AB4	J3 PIN_19
PIN_U9	J3 PIN_7

表 2-11 FPGA Bank3A GPIO

Bank 3B 的 VCCIO 可根据需求自己设定，默认为 3.3V。

FPGA GPIO	P1 FPGA	Connectors
5CSX_3B_IO0	PIN_W11	J5 PIN_13
5CSX_3B_IO1	PIN_V11	J5 PIN_14
5CSX_3B_IO2	PIN_AF4	J5 PIN_25
5CSX_3B_IO3	PIN_AE9	J5 PIN_7
5CSX_3B_IO4	PIN_AE4	J5 PIN_21
5CSX_3B_IO5	PIN_AD10	J4 PIN_7
5CSX_3B_IO6	PIN_U11	J5 PIN_11
5CSX_3B_IO7	PIN_AF8	J3 PIN_67
5CSX_3B_IO8	PIN_T11	J5 PIN_12
5CSX_3B_IO9	PIN_AE7	J5 PIN_17
5CSX_3B_IO10	PIN_AF9	J3 PIN_68
5CSX_3B_IO11	PIN_AE11	J5 PIN_34
5CSX_3B_IO12	PIN_AE8	J5 PIN_15
5CSX_3B_IO13	PIN_AD11	J4 PIN_8
5CSX_3B_IO14	PIN_AF6	J5 PIN_27
5CSX_3B_IO15	PIN_AF5	J5 PIN_23
5CSX_3B_IO16	PIN_AG6	J5 PIN_29
5CSX_3B_IO17	PIN_AF10	J5 PIN_33
5CSX_3B_IO18	PIN_AF7	J3 PIN_70
5CSX_3B_IO19	PIN_AF11	J5 PIN_31
5CSX_3B_IO20	PIN_T12	J5 PIN_9
5CSX_3B_IO21	PIN_T13	J5 PIN_10
5CSX_3B_IO22	PIN_AD12	J5 PIN_30
5CSX_3B_IO23	PIN_AE12	J5 PIN_32

表 2-12 FPGA Bank3B GPIO

Borax 板卡在 Bank 3B 预留了 3 对 LVDS TX 引脚，如果需要使用他们，需要把 Bank 3B 的电压设为 2.5V。

FPGA GPIO	P1 FPGA	Connectors
5CSX_IOP9	PIN_AH6	J3 PIN_56
5CSX_IOn9	PIN_AH5	J3 PIN_58
5CSX_IOP10	PIN_AH3	J3 PIN_61
5CSX_IOn10	PIN_AH2	J3 PIN_63
5CSX_IOP11	PIN_AG5	J3 PIN_57
5CSX_IOn11	PIN_AH4	J3 PIN_59

表 2-13 FPGA Bank3B LVDS TX

同时，Borax 板卡在 Bank 3B 预留了 5 对 LVDS RX 引脚，他们与 GPIO 复用。

LVDS RX	FPGA GPIO	Connectors
RX_IOP0	5CSX_3B_IO21	J5 PIN_10
RX_IOn0	5CSX_3B_IO20	J5 PIN_9
RX_IOP1	5CSX_3B_IO8	J5 PIN_12
RX_IOn1	5CSX_3B_IO6	J5 PIN_11
RX_IOP2	5CSX_3B_IO1	J5 PIN_14
RX_IOn2	5CSX_3B_IO0	J5 PIN_13

RX_IOP3	5CSX_3B_IO23	J5 PIN_32
RX_IOn3	5CSX_3B_IO22	J5 PIN_30
RX_IOP4	5CSX_3B_IO19	J5 PIN_31
RX_IOn4	5CSX_3B_IO17	J5 PIN_33

表 2-14 FPGA Bank3B LVDS RX

Bank 4A 的 VCCIO 可根据需求自己设定，默认为 3.3V.

FPGA GPIO	P1 FPGA	Connectors
5CSX_4A_IO0	PIN_AF13	J4 PIN_32
5CSX_4A_IO1	PIN_AG8	J3 PIN_65
5CSX_4A_IO2	PIN_AG13	J4 PIN_30
5CSX_4A_IO3	PIN_U13	J4 PIN_22
5CSX_4A_IO4	PIN_U14	J4 PIN_21
5CSX_4A_IO5	PIN_AE15	J4 PIN_37
5CSX_4A_IO6	PIN_AF15	J3 PIN_40
5CSX_4A_IO7	PIN_AG16	J3 PIN_38
5CSX_4A_IO8	PIN_AH12	J3 PIN_33
5CSX_4A_IO9	PIN_AF17	J3 PIN_22
5CSX_4A_IO10	PIN_V13	J4 PIN_20
5CSX_4A_IO11	PIN_W14	J4 PIN_18
5CSX_4A_IO12	PIN_AE17	J6 PIN_33
5CSX_4A_IO13	PIN_AD17	J4 PIN_40
5CSX_4A_IO14	PIN_AD19	J4 PIN_44
5CSX_4A_IO15	PIN_AF18	J3 PIN_43
5CSX_4A_IO16	PIN_AE19	J6 PIN_32
5CSX_4A_IO17	PIN_AA18	J6 PIN_7
5CSX_4A_IO18	PIN_AA19	J6 PIN_11
5CSX_4A_IO19	PIN_AD20	J4 PIN_46
5CSX_4A_IO20	PIN_AE20	J3 PIN_45
5CSX_4A_IO21	PIN_AG20	J3 PIN_28
5CSX_4A_IO22	PIN_AF20	J3 PIN_30
5CSX_4A_IO23	PIN_AF21	J3 PIN_31
5CSX_4A_IO24	PIN_AG21	J3 PIN_27
5CSX_4A_IO25	PIN_AF22	J3 PIN_25
5CSX_4A_IO26	PIN_AE22	J6 PIN_30
5CSX_4A_IO27	PIN_AH21	J3 PIN_26
5CSX_4A_IO28	PIN_AD23	J6 PIN_25
5CSX_4A_IO29	PIN_AF23	J3 PIN_12
5CSX_4A_IO30	PIN_AG23	J3 PIN_23
5CSX_4A_IO31	PIN_AH24	J3 PIN_21
5CSX_4A_IO32	PIN_AG24	J3 PIN_10
5CSX_4A_IO33	PIN_AE23	J3 PIN_24
5CSX_4A_IO34	PIN_AG26	J6 PIN_31
5CSX_4A_IO35	PIN_AE24	J6 PIN_27
5CSX_4A_IO36	PIN_AC23	J6 PIN_23
5CSX_4A_IO37	PIN_AH26	J3 PIN_6
5CSX_4A_IO38	PIN_AC22	J6 PIN_21
5CSX_4A_IO39	PIN_AH27	J3 PIN_4

5CSX_4A_IO40	PIN_AG25	J3 PIN_8
5CSX_4A_IO41	PIN_AG28	J6 PIN_26
5CSX_4A_IO42	PIN_AF25	J6 PIN_29
5CSX_4A_IO43	PIN_AF28	J6 PIN_22
5CSX_4A_IO44	PIN_AF27	J6 PIN_24

表 2-15 FPGA Bank4A GPIO

Borax 板卡在 Bank 4A 预留了 9 对 LVDS TX 引脚，如果需要使用他们，需要把 Bank 4A 的电压设为 2.5V.

FPGA GPIO	P1 FPGA	Connectors
5CSX_IOP0	PIN_AH23	J3 PIN_14
5CSX_IOn0	PIN_AH22	J3 PIN_16
5CSX_IOP1	PIN_AG19	J3 PIN_18
5CSX_IOn1	PIN_AH19	J3 PIN_20
5CSX_IOP2	PIN_AG18	J3 PIN_46
5CSX_IOn2	PIN_AH18	J3 PIN_44
5CSX_IOP3	PIN_AH17	J3 PIN_48
5CSX_IOn3	PIN_AH16	J3 PIN_50
5CSX_IOP4	PIN_AG15	J3 PIN_52
5CSX_IOn4	PIN_AH14	J3 PIN_54
5CSX_IOP5	PIN_AG14	J3 PIN_53
5CSX_IOn5	PIN_AH13	J3 PIN_55
5CSX_IOP6	PIN_AG11	J3 PIN_36
5CSX_IOn6	PIN_AH11	J3 PIN_34
5CSX_IOP7	PIN_AG10	J3 PIN_60
5CSX_IOn7	PIN_AH9	J3 PIN_62
5CSX_IOP8	PIN_AG9	J3 PIN_64
5CSX_IOn8	PIN_AH8	J3 PIN_66

表 2-16 FPGA Bank4A LVDS TX

Bank 5A 的 VCCIO 可根据需求设定为 3.3V 或 2.5V，默认为 3.3V.

FPGA GPIO	P1 FPGA	Connectors
5CSX_5A_IO0	PIN_AA20	J6 PIN_13
5CSX_5A_IO1	PIN_AE26	J6 PIN_18
5CSX_5A_IO2	PIN_Y19	J6 PIN_9
5CSX_5A_IO3	PIN_AE25	J6 PIN_28
5CSX_5A_IO4	PIN_AD26	J6 PIN_16
5CSX_5A_IO5	PIN_AC24	J6 PIN_14
5CSX_5A_IO6	PIN_AB23	J6 PIN_19
5CSX_5A_IO7	PIN_W15	J3 PIN_51
5CSX_5A_IO8	PIN_Y17	J4 PIN_24
5CSX_5A_IO9	PIN_Y18	J4 PIN_42
5CSX_5A_IO10	PIN_Y16	J3 PIN_49
5CSX_5A_IO11	PIN_AA24	J6 PIN_17
5CSX_5A_IO12	PIN_V16	J4 PIN_28
5CSX_5A_IO13	PIN_AA23	J6 PIN_15
5CSX_5A_IO14	PIN_V15	J4 PIN_25

表 2-17 FPGA Bank5A GPIO

2.6.3 FPGA CLOCK

Borax 板载 50MHz 晶振，从 Bank 8A PIN_E11 输入。其它的 FPGA 时钟引脚与接插件相连，其中在 Bank 4A 包括一对差分输入时钟。

FPGA Clock	P1 FPGA	Connectors
5CSX_CLK0	PIN_W12 (Bank 3B)	J5 PIN_22
5CSX_CLK1	PIN_V12 (Bank 3B)	J4 PIN_17
5CSX_CLK2	PIN_AA13 (Bank 4A)	J4 PIN_35
5CSX_CLK3	PIN_Y13 (Bank 4A)	J5 PIN_24
5CSX_CLK4	PIN_D12 (Bank 8A)	J5 PIN_2
5CSX_CLK5	PIN_C12 (Bank 8A)	J4 PIN_23
5CSX_CLK6	PIN_W21 (Bank 5B)*	J4 PIN_38
5CSX_CLK7	PIN_W20 (Bank 5B)*	J4 PIN_36
5CSX_CLKp	PIN_Y15 (Bank 4A)	J5 PIN_26
5CSX_CLKn	PIN_AA15 (Bank 4A)	J5 PIN_28

表 2-18 FPGA Clocks

*: 仅 5CSE A5/A6 器件支持这些时钟引脚输入。

2.6.4 I/O 电源系统

为了 IO 使用的灵活性，Borax 板卡支持以下 VCCIO 选项，供选择。

FPGA VCCIO	Default setting	Optional setting	External setting
Bank 3A	3.3V	--	--
Bank 3B	3.3V	2.5V	J3 PIN_47
Bank 4A	3.3V	2.5V	J3 PIN_29
Bank 5A	2.5V	3.3V	--
Bank 5B*	2.5V	--	--
Bank 6A/B	1.5V	--	--
Bank 7A/B/C	3.3V	--	--
Bank 7D	2.5V	--	--
Bank 8A	2.5V	--	--

表 2-19 FPGA VCCIO

注：仅 5CSE A5/A6 器件支持 Bank 5B pins!

1. 若设置 Bank 3B/4A VCCIO 为 3.3V，焊接电阻 R96, R31, R98;
2. 若设置 Bank 3B/4A VCCIO 为 2.5V，焊接电阻 R160, R97, R99;
3. 若设置 Bank 3B/4A VCCIO 为外部 VCC 供电，焊接电阻 R30, R161, R99。

注：外部供电 VCCIO 需小于等于 2.5V。

2.6.5 VREF 引脚

所有的 VREF 引脚都连接于接插件。

FPGA VCCIO	Connector
5CSX_VREF0	J5 PIN_19
5CSX_VREF1	J3 PIN_42
5CSX_VREF2	J3 PIN_32
5CSX_VREF3	J6 PIN_10
5CSX_VREF4	J6 PIN_8

5CSX_VREF5	J4 PIN_65
5CSX_VREF6	J4 PIN_26

表 2-20 FPGA VCCIO

2.7 FPGA Configuration

Borax 支持 JTAG, FPP X16 和 AS X1/X4 配置模式。

2.7.1 JTAG 链路

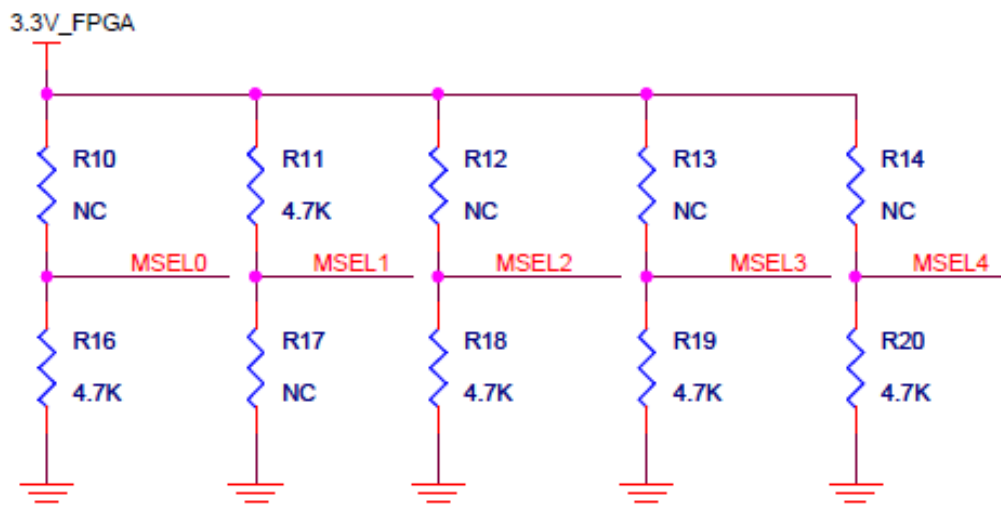
SOC 器件有两条 JTAG 链路，分别用来配置 FPGA 和调试 HPS，Borax 板卡把这两条链路相连，因此使用一个 JTAG 接口，既可以配置 FPGA 又可以调试 HPS。

JTAG	Connector
JTAG_TCK	J4 PIN_14
JTAG_TMS	J4 PIN_69
JTAG_TDI	J4 PIN_55
JTAG_TDO	J4 PIN_15
JTAG_TRST	J4 PIN_43

表 2-21 JTAG pins

2.7.2 FPP 模式

FPGA 端默认为 FPP x16 快速压缩配置模式 (MSEL=5'b00010)。FPGA 将由 HPS 在启动到 U-Boot 阶段被配置，如果想修改配置模式，请修改 MSEL 选项。



2.7.3 AS 模式

为了用户方便，Borax 底板上放置 EPCS Flash，按 AS x4 模式连接。

FPGA AS	Connector
EPCS_NCS	J5 PIN_5
EPCS_DATA1	J5 PIN_6
EPCS_DATA2	J5 PIN_18

EPCS_DATA3	J5 PIN_8
EPCS_ASDI	J5 PIN_3
EPCS_DCLK	J5 PIN_4

表 2-22 FPGA AS configuration pins

2.8 系统监控

Borax 板卡板载了 Cypress PSoC4 MCU 来监控系统温度及各路电源电压，并驱动 LED 灯来显示状态信息。

Status LED	Items
D 11	Temperature
D 10	3.3 V
D 9	2.5 V
D 8	1.5 V
D 7	1.2 V
D 6	1.1 V

表 2-23

如果系统温度低于 70 度，板卡的 D11 将闪烁，如果高于 70 度，D11 会进入常亮状态。对于电压检测，如果电压正常，相应的 LED 会熄灭，如果电压异常，相应的 LED 会亮起。

3. Borax 底板

Borax 底板如下图所示

- A. UART 接口（通过 USB 方式转接）；
- B. USB OTG 接口；
- C. HPS EMAC0, Borax 核心板上扩展的网络接口；
- D. HPS EMAC1, 借用 FPGA I/O 扩展的网络接口；
- E. TSE MAC 实现的网络接口；
- F. HPS 侧的 CAN 接口；
- G. 借用 FPGA I/O 实现的 SD card 接口；
- H. 触摸屏 LCD, 分辨率 800*480;
- I. 5 个 LED;

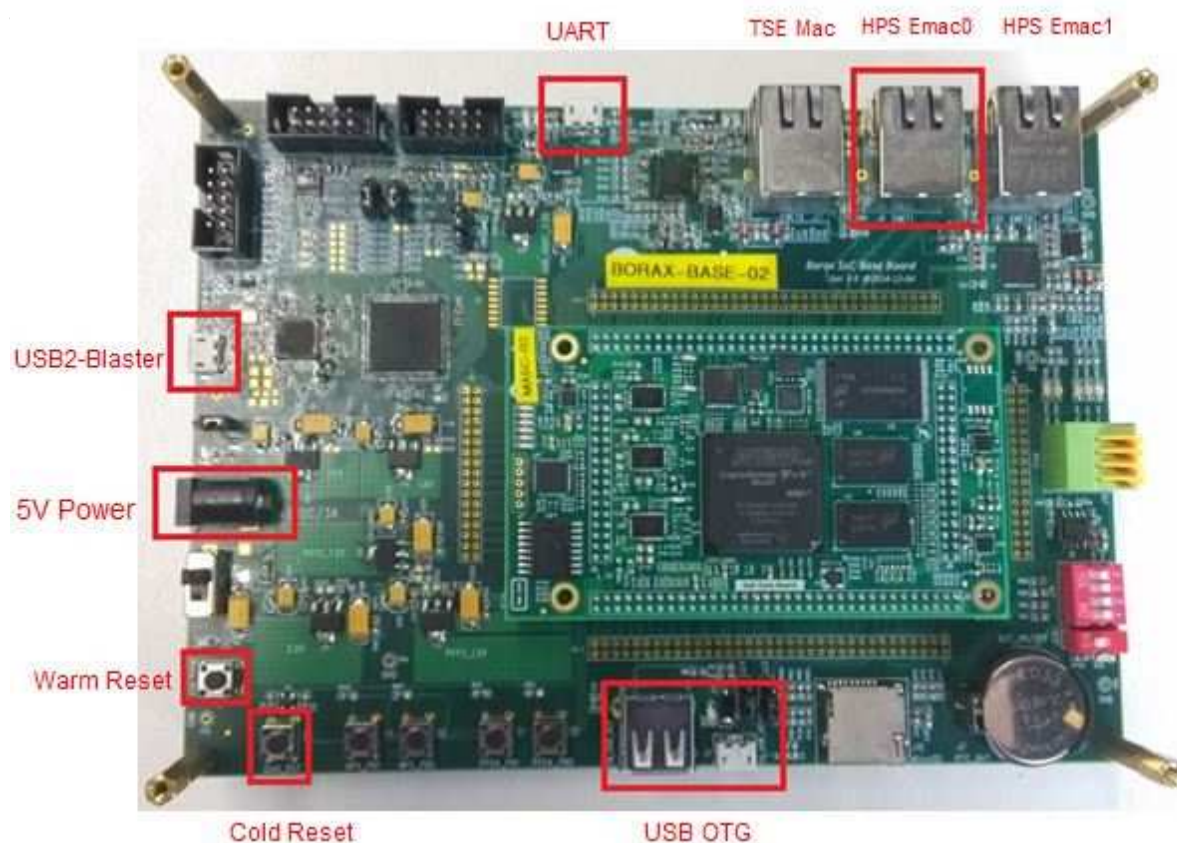


图 3-1 Borax base board

3.2 安装 Borax 核心板卡

注意板卡的安装方向，把 Borax 核心板卡插入底板的 J3 J4 口。

3.3 USB-Blaster II 接口选择

对于 JTAG 调试, Borax 底板可选择板载的 USB-Blaster II 或外部 USB-Blaster, 当 J11 和 J13 的接法如下表所示时, 设置为板载 USB-Blaster II 工作, 连接 J9 到 Host PC 即可。如果使用外部的 USB-Blaster 下载线缆, 直接将其插入 J14 接口即可替代板载线缆工作。

On board USB2-BlasterII
J11 1-2 on
J13 1-2 on

表 3-1

3.4 UART 接口

Borax 底板板载了 USB 转 UART 模块, 连接于 HPS 端的外设 UART0。

UART	J4 Connector
UART0_TX	PIN 1
UART0_RX	PIN 2

表 3-2

3.5 USB OTG

Borax 底板 J3 接插件上直接连接于 USB OTG PHY 的输出信号。

USB OTG	J3 Connector
USB_VBUS	PIN 35
USB_DM	PIN 37
USB_DP	PIN 39
USB_ID	PIN 41

表 3-3

USB Device 接口为 J2。请把 J23 J24 设置为如下状态。

USB Device
J23 2-3 on
J24 2-3 on

表 3-4

USB Host 接口为 J1。请把 J23 J24 设置为如下状态。

USB Device
J23 1-2 on
J24 1-2 on

表 3-5

3.6 以太网

Borax 底板拥有三个以太网接口, Port1 (RJ45 ENET1, J8) 直接连接到 HPS EMAC0, 因为 Borax 核心板上已经有一个 PHY。

Ethernet Port1	J4 Connector
TX_A+	PIN 50
TX_A-	PIN 48
TX_B+	PIN 54
TX_B-	PIN 52
TX_C+	PIN 49
TX_C-	PIN 47
TX_D+	PIN 53
TX_D-	PIN 51

表 3-6 Port1

Port2 (RJ45 ENET2, J20)是通过 FPGA IO 和底板的 PHY 扩展的, 其使用了 FPGA 的硬件资源和 HPS 侧的 EMAC1 相连。

Ethernet Port2	FPGA GPIO	Connectors
PHY_RXD0	5CSX_5A_IO13	J6 PIN_15
PHY_RXD1	5CSX_5A_IO4	J6 PIN_16
PHY_RXD2	5CSX_5A_IO11	J6 PIN_17
PHY_RXD3	5CSX_5A_IO2	J6 PIN_9
PHY_RX_CLK	5CSX_CLK3	J5 PIN_24
PHY_RX_DV	5CSX_5A_IO5	J6 PIN_14
PHY_TXD0	5CSX_5A_IO9	J4 PIN_42
PHY_TXD1	5CSX_5A_IO12	J4 PIN_28
PHY_TXD2	5CSX_5A_IO14	J4 PIN_25
PHY_TXD3	5CSX_5A_IO8	J4 PIN_24
PHY_GTX_CLK	5CSX_CLK2	J4 PIN_35
PHY_TX_EN	5CSX_5A_IO0	J6 PIN_13
PHY_MDC	5CSX_5A_IO1	J6 PIN_18
PHY_MDIO	5CSX_5A_IO6	J6 PIN_19
PHY_INTn	5CSX_5A_IO3	J6 PIN_28
PHY_RESETn	5CSX_5A_IO10	J3 PIN_49

表 3-7 Port2

Ports0 (RJ45 ENET0, J21) 是使用 FPGA 直接实现的一个 TSE MAC。

Ethernet Port0	FPGA GPIO	Connectors
PHY_RXD0	5CSX_3B_IO16	J5 PIN_29
PHY_RXD1	5CSX_3B_IO14	J5 PIN_27
PHY_RXD2	5CSX_3B_IO2	J5 PIN_25
PHY_RXD3	5CSX_3B_IO15	J5 PIN_23
PHY_RX_CLK	5CSX_CLK1	J4 PIN_17
PHY_RX_DV	5CSX_3B_IO11	J5 PIN_34
PHY_TXD0	5CSX_3B_IO3	J5 PIN_7
PHY_TXD1	5CSX_3B_IO12	J5 PIN_15
PHY_TXD2	5CSX_3B_IO9	J5 PIN_17
PHY_TXD3	5CSX_3B_IO4	J5 PIN_21
PHY_GTX_CLK	5CSX_CLK0	J5 PIN_22
PHY_TX_EN	5CSX_3B_IO5	J4 PIN_7

PHY_MDC	5CSX_3B_IO18	J3 PIN_70
PHY_MDIO	5CSX_3B_IO7	J3 PIN_67
PHY_INTn	5CSX_3B_IO13	J4 PIN_8
PHY_RESETh	5CSX_3B_IO10	J3 PIN_68

表 3-8 Port0

3.7 CAN 接口

Borax 底板 J18 接口连接于 HPS CAN 外设。

CAN	HPS GPIO	J4 Connector
CAN_TX (J18_PIN2)	HPS_7A_IO6	PIN 57
CAN_RX (J18_PIN3)	HPS_7A_IO5	PIN 62
CAN_GND (J18_PIN4)		

表 3-9

3.8 SD Card 接口

底板使用 FPGA IO 外扩了 SD 卡的接口。

SD Card	FPGA	Connectors
SD_DAT0	PIN_Y8	J3 PIN_11
SD_DAT1	PIN_Y4	J3 PIN_17
SD_DAT2	PIN_W8	J3 PIN_13
SD_DAT3	PIN_Y5	J3 PIN_15
SD_CMD	PIN_T8	J3 PIN_9
SD_CLK	PIN_AB4	J3 PIN_19
SD_CD	PIN_U9	J3 PIN_7

表 3-10

3.9 LCD （支持电容触摸屏）

使用 FPGA GPIO 来扩展 LCD 接口。

LCD	FPGA GPIO	Connectors
LCD_VD0	5CSX_4A_IO17	J6 PIN_7
LCD_VD1	5CSX_4A_IO19	J4 PIN_46
LCD_VD2	5CSX_4A_IO14	J4 PIN_44
LCD_VD3	5CSX_4A_IO13	J4 PIN_40
LCD_VD4	5CSX_4A_IO5	J4 PIN_37
LCD_VD5	5CSX_4A_IO0	J4 PIN_32
LCD_VD6	5CSX_4A_IO18	J6 PIN_11
LCD_VD7	5CSX_4A_IO2	J4 PIN_30
LCD_VD8	5CSX_4A_IO3	J4 PIN_22
LCD_VD9	5CSX_4A_IO20	J3 PIN_45
LCD_VD10	5CSX_4A_IO15	J3 PIN_43
LCD_VD11	5CSX_4A_IO6	J3 PIN_40
LCD_VD12	5CSX_4A_IO7	J3 PIN_38
LCD_VD13	5CSX_4A_IO8	J3 PIN_33

LCD_VD14	5CSX_4A_IO23	J3 PIN_31
LCD_VD15	5CSX_4A_IO22	J3 PIN_30
LCD_VD16	5CSX_4A_IO21	J3 PIN_28
LCD_VD17	5CSX_4A_IO24	J3 PIN_27
LCD_VD18	5CSX_4A_IO43	J6 PIN_22
LCD_VD19	5CSX_4A_IO38	J6 PIN_21
LCD_VD20	5CSX_4A_IO44	J6 PIN_24
LCD_VD21	5CSX_4A_IO36	J6 PIN_23
LCD_VD22	5CSX_4A_IO41	J6 PIN_26
LCD_VD23	5CSX_4A_IO28	J6 PIN_25
LCD_VDEN	5CSX_4A_IO34	J6 PIN_31
LCD_HSYNC	5CSX_4A_IO29	J3 PIN_12
LCD_VSYNC	5CSX_4A_IO32	J3 PIN_10
LCD_VCLK	5CSX_4A_IO9	J3 PIN_22
LCD_SCL*	5CSX_4A_IO31	J3 PIN_21
LCD_SDA*	5CSX_4A_IO33	J3 PIN_24
LCD_TS**	5CSX_4A_IO26	J6 PIN_30
LCD_nRESET	5CSX_4A_IO42	J6 PIN_29

表 3-11

*: 电容触摸屏为 I2C 接口。

**：电阻式触摸屏为 1-wire 接口。

3.10 LED, DIP Switch, Push Button

LED, DIP 开关和按键的连接引脚分别如下所示：

LED	FPGA GPIO	Connectors
FPGA LED 0	5CSX_4A_IO12	J6 PIN_33
FPGA LED 1	5CSX_4A_IO16	J6 PIN_32
HPS LED 0	HPS_7A_IO1	J4 PIN_70
HPS LED 1	HPS_7A_IO2	J4 PIN_67
HPS LED 2	HPS_7A_IO3	J4 PIN_68

表 3-12

DIP Switch	FPGA GPIO	Connectors
Dial_Switch0	5CSX_4A_IO40	J3 PIN_8
Dial_Switch1	5CSX_4A_IO37	J3 PIN_6
Dial_Switch2	5CSX_4A_IO39	J3 PIN_4
Dial_Switch3	5CSX_5A_IO7	J3 PIN_51

表 3-13

Push Button	FPGA GPIO	Connectors
HPS BUTTON 0	HPS_7A_IO0	J4 PIN_63
HPS BUTTON 1	HPS_7A_IO4	J4 PIN_61
FPGA BUTTON 0	5CSX_4A_IO25	J3 PIN_25
FPGA BUTTON 1	5CSX_4A_IO1	J3 PIN_65

表 3-14

4. 文档修订历史

Date	Revision	Changes
Mar. 18, 2016	3.0	<ul style="list-style-type: none">中文第一版, 支持 Borax V3.0